

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05006961  
PUBLICATION DATE : 14-01-93

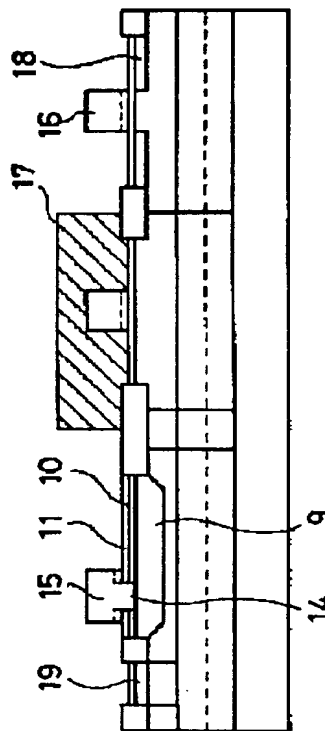
APPLICATION DATE : 26-06-91  
APPLICATION NUMBER : 03180441

APPLICANT : OLYMPUS OPTICAL CO LTD;

INVENTOR : KANEKO SHINJI;

INT.CL. : H01L 27/06

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To manufacture a Bi-CMOS semiconductor device having high performance by performing only two steps of implanting impurities for forming both conductivity type source-drain regions, an external base region, an emitter electrode, an emitter diffused layer and both conductivity type gate electrodes.

CONSTITUTION: A silicon nitride film 11 is selectively formed on a base region 9 of a bipolar transistor, and an emitter opening 14 is formed in the film 11. An emitter electrode 15 and a gate electrode 16 made of polycrystalline silicon are selectively formed, and an N-type high concentration impurity is ion implanted to forming regions of an N-channel MOSFET and a bipolar transistor thereby to dope the electrodes 16, 15 and to form source-drain regions 18 of the MOSFET. An external base region and source-drain region of a P-channel MOSFET are formed by heat treating in an oxidative atmosphere and ion implanting P-type high concentration impurity in the entire surface. Thus, a semiconductor device having high performance can be manufactured in less number of steps.

COPYRIGHT: (C)1993,JPO&Japio

D6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-6961

(43) 公開日 平成5年(1993)1月14日

(51) Int. Cl.<sup>5</sup>

H01L 27/06

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H01L 27/06

321 A

審査請求 未請求 請求項の数2(全6頁)

(21) 出願番号 特願平3-180441

(22) 出願日 平成3年(1991)6月26日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 金子 新二

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

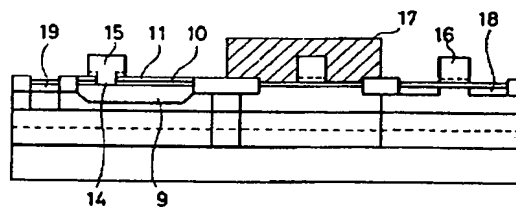
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 ベース抵抗が小さく、ゲート酸化膜に汚染が導入されることのない高性能のBi-CMOS半導体装置を少ない工程数で製造できる半導体装置の製造方法を提供する。

【構成】 バイポーラトランジスタのベース領域9に選択的にシリコン窒化膜11を形成する工程と、該窒化膜11にエミッタ開口部14を形成する工程と、多結晶シリコンよりなるエミッタ電極15とゲート電極16を選択的に形成する工程と、NチャネルMOSFET及びバイポーラトランジスタの形成領域にN型高濃度不純物をイオン注入してゲート電極16とエミッタ電極15のドープとMOSFETのソース・ドレイン領域18の形成を行う工程と、酸化性雰囲気中で熱処理する工程と、前記窒化膜11の一部を除去する工程と、全面にP型高濃度不純物をイオン注入して外部ベース領域23とPチャネルMOSFETのソース・ドレイン領域24を形成する工程とで半導体装置を製造する。



17:レジストパターン

18:N型ソース・ドレイン領域

19:コレクタコンタクト領域

## 【特許請求の範囲】

【請求項1】 一導電型のベース領域を有するバイポーラトランジスタと、一導電型のゲート電極を有する一導電極性のMOSFETと逆導電型のゲート電極を有する逆導電極性のMOSFETによって構成されたCMOSFETを含む半導体装置の製造方法において、前記バイポーラトランジスタのベース領域に選択的に耐酸化膜を形成する工程と、前記耐酸化膜にエミッタ開口部を形成する工程と、多結晶シリコンよりなるエミッタ電極及びゲート電極を選択的に形成する工程と、逆導電極性のMOSFET及びバイポーラトランジスタを形成する領域に選択的に高濃度の逆導電型の不純物をイオン注入して、ゲート電極及びエミッタ電極のドーブとMOSFETのソース・ドレイン領域の形成を行う工程と、酸化性雰囲気中で熱処理し、エミッタ拡散層を形成すると共に逆導電型にドーブされた各領域に相対的に厚い熱酸化膜を形成する工程と、前記耐酸化膜の露出した領域を選択的に除去する工程と、全面に高濃度の一導電型の不純物をイオン注入して外部ベース領域と一導電極性のMOSFETのソース・ドレイン領域を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記耐酸化膜にエミッタ開口部を形成する工程に先立って、少なくともMOSFETを形成する領域にゲート酸化膜を形成する工程と、全面に薄い多結晶シリコン膜を形成する工程と、少なくともバイポーラトランジスタを形成する領域の前記多結晶シリコン膜を選択的に除去する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法に関し、特に多結晶シリコンのエミッタ電極を有するBI-CMOS半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、微細なバイポーラトランジスタと微細なCMOSFETを組み合わせて高速論理回路を実現するBI-CMOSデバイスが注目を集めている。このような高速のBI-CMOSデバイスのバイポーラトランジスタのエミッタ電極には、接合深さが浅く信頼性の高い拡散層が容易に得られることから、例えばIEDM Technical digest P408, 1986等に開示されているように、多結晶シリコンを用いるのが有利である。

【0003】 また、従来のCMOS半導体装置では、Pチャネル及びNチャネルいずれのMOSFETにおいても、N型多結晶シリコンをゲート電極に用いるのが一般的であった。この場合PチャネルMOSFETにおいては、回路動作上望ましい反転電圧を得るために、埋め込みチャネル型となるのが通常である。しかしながら、埋め込みチャネル型のデバイスはパンチスルーを起こし易

く、デバイスの微細化に対応するのが困難となっている。このため、ゲート電極にP型多結晶シリコンを用いてPチャネルMOSFETを表面チャネル型とする方法が、例えばIEEE Trans. Electron Devices, Vol. ED32, p584, 1985に示されている。

【0004】 次に、このように多結晶シリコンによるエミッタ電極を用い、更にP型多結晶シリコンのゲート電極を有するBI-CMOSデバイスの製造方法について、図8～図13を用いて説明する。まず図8に示すように、半導体基板101にバイポーラトランジスタの高濃度コレクタ領域及びPチャネルMOSFETの埋め込み拡散層となるN型高濃度埋め込み層102と、バイポーラトランジスタの埋め込み分離領域及びNチャネルMOSFETの埋め込み拡散層となるP型高濃度埋め込み層103を形成した後、N型低濃度エピタキシャル層104を形成し、更にPチャネルMOSFETのウェル領域となるN型低濃度拡散層105とNチャネルMOSFETのウェル領域及びバイポーラトランジスタの分離領域となるP型低濃度拡散層106を形成する。次に図9に示すように、バイポーラトランジスタのN型高濃度コレクタ領域107、フィールド酸化膜108、バイポーラトランジスタのP型ベース領域109及びゲート酸化膜110を順次形成する。次に図10に示すように、MOSFETの多結晶シリコンよりなるゲート電極111を形成する。

【0005】 次に図11に示すようにレジストパターン112を形成し、高濃度のP型不純物をイオン注入してバイポーラトランジスタの外部ベース領域及びPチャネルMOSFETのソース・ドレインとなる高濃度P型拡散層113を形成すると共に、PチャネルMOSFETのゲート電極111をP型にドーブする。次に図12に示すようにレジストパターン114を形成し、高濃度のN型不純物をイオン注入してバイポーラトランジスタのコレクタコンタクト領域及びNチャネルMOSFETのソース・ドレインとなる高濃度N型拡散層115を形成すると共に、NチャネルMOSFETのゲート電極111をN型にドーブする。次に図13に示すように、全面に化学気相成長法によってシリコン酸化膜116を形成し、バイポーラトランジスタ形成領域にエミッタ開口部117を形成したのち、多結晶シリコンよりなるエミッタ電極118を形成し、更にこれを高濃度のN型にドーブし、更に熱処理によってエミッタ開口部117を介しての拡散によってエミッタ拡散層となる高濃度N型拡散層119を形成する。後は通常の層間絶縁膜及び配線領域の形成工程を経てBI-CMOS半導体装置を完成させる。

【0006】 この方法によれば、両方の導電極性のMOSFETが表面チャネル型となるので、微細なMOSFETにおいても高いパンチスルー耐性が得られ、更に多結晶シリコンからなるエミッタ電極を有する高性能なバイポーラトランジスタを形成することができる。

## 【0007】

【発明が解決しようとする課題】しかしながら上記製造方法では、ベース領域を形成してからCMOSFET及びバイポーラトランジスタを形成するまでに、ゲート電極のエッチング、P型及びN型の高濃度拡散層、エミッタ開口部の形成及びエミッタ電極のエッチングのために5回のレジストパターン形成工程と、3回の高濃度不純物導入工程が必要であるなど、通常のCMOSデバイスと比較して著しく工程数が増大するという問題点がある。

【0008】エミッタ電極の形成方法としては、ゲート電極と同時に形成する方法が、例えば飯塚哲哉編「CMOS超LSIの設計」(培風館、1989年4月25日発行、p72)に述べられており、この方法ではベース領域を形成してからCMOSFET及びバイポーラトランジスタを形成するまでに、4回のレジストパターンの形成工程と2回の高濃度不純物導入工程で済むが、このような方法ではエミッタ電極に外部ベース領域の高濃度P型不純物がドーパされないようにするために、レジストパターンの形成工程の合わせ余裕の分だけエミッタ電極と外部ベース領域を分離する必要がある、そのためベース抵抗が増大するという問題点があり、更にはエミッタ開口部がゲート酸化膜に形成されるため、この開口部形成工程でゲート酸化膜に汚染が導入され易く、MOSFETの特性の安定性を損なう危険がある。

【0009】本発明は、従来のBI-CMOS半導体装置の製造方法における上記問題点を解消するためになされたもので、ベース抵抗が小さく、更にゲート酸化膜に汚染が導入されることのない高性能なBI-CMOS半導体装置を少ない工程数で製造できる半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題点を解決するため、本発明は、一導電型のベース領域を有するバイポーラトランジスタと、一導電型のゲート電極を有する一導電極性のMOSFETと逆導電型のゲート電極を有する逆導電極性のMOSFETによって構成されたCMOSFETを含む半導体装置の製造方法において、前記バイポーラトランジスタのベース領域に選択的に耐酸化膜を形成する工程と、前記耐酸化膜にエミッタ開口部を形成する工程と、多結晶シリコンよりなるエミッタ電極及びゲート電極を選択的に形成する工程と、逆導電極性のMOSFET及びバイポーラトランジスタを形成する領域に選択的に高濃度の逆導電型の不純物をイオン注入して、ゲート電極及びエミッタ電極のドーパとMOSFETのソース・ドレイン領域の形成を行う工程と、酸化性雰囲気中で熱処理し、エミッタ拡散層を形成すると共に逆導電型にドーパされた各領域に相対的に厚い熱酸化膜を形成する工程と、前記耐酸化膜の露出した領域を選択的に除去する工程と、全面に高濃度の一導電型の不純物をイオン注入して外部ベース領域と一導電極性のMOSF

ETのソース・ドレイン領域を形成する工程を含むことを特徴とするものである。

【0011】

【作用】上記本発明の半導体装置の製造方法によれば、両方の導電型のソース・ドレイン領域と外部ベース領域とエミッタ電極とエミッタ拡散層及び両方の導電型のゲート電極形成のための不純物の導入工程が2回で済み、更にエミッタ電極とゲート電極が同時に形成され、P型とN型の高濃度不純物の打ち分けが自己整合的に行えるので、フォトリソ工程が少なく、更にエミッタ電極と外部ベース領域が自己整合的に形成されるので、高性能なBI-CMOS半導体装置を少ない工程数で製造することができる。

【0012】

【実施例】次に実施例について説明する。図1～図7は、本発明に係る半導体装置の製造方法の一実施例を説明するための製造工程を示す図である。まず図1に示すように、半導体基板1にバイポーラトランジスタの高濃度コレクタ領域及びPチャネルMOSFETの埋め込み拡散層となるN型高濃度埋め込み層2と、バイポーラトランジスタの埋め込み分離領域及びNチャネルMOSFETの埋め込み拡散層となるP型高濃度埋め込み層3を形成した後、N型低濃度エピタキシャル層4を形成し、更にPチャネルMOSFETのウェル領域となるN型低濃度拡散層5とNチャネルMOSFETのウェル領域及びバイポーラトランジスタの分離領域となるP型低濃度拡散層6を形成する。次に図2に示すように、バイポーラトランジスタのN型高濃度コレクタ領域7、フィールド酸化膜8、バイポーラトランジスタのP型ベース領域9及び熱酸化膜10を順次形成する。次いで図3に示すように、バイポーラトランジスタのベース領域9に選択的にシリコン窒化膜11を形成し、これをマスクとしてMOSFETの素子領域の熱酸化膜10を除去した後ゲート酸化膜12を形成し、更に薄い第1の多結晶シリコン膜13を全面に形成する。

【0013】次に図4に示すようにエミッタ開口部14を形成した後、全面に第2の多結晶シリコンを堆積し、更にこの第2の多結晶シリコン及び前記第1の多結晶シリコン膜13をエッチングすることによって、エミッタ電極15とゲート電極16を形成する。このときゲート電極16及び開口部を除くエミッタ電極15は、第2の多結晶シリコンと先に形成された第1の多結晶シリコン膜13との2層膜構成となる。このように、ゲート酸化膜12が薄い多結晶シリコン膜13で保護された状態でエミッタ開口部14が形成されるので、このエミッタ開口部形成工程でゲート酸化膜12が汚染されることはない。これに加えて、エミッタ電極15が熱酸化膜10とシリコン窒化膜11によって分離されるため、これらの膜10、11を比較的厚く形成することで、ゲート酸化膜にエミッタ開口部を形成する場合と比較して、エミッタ電極15とベース領域9の寄生容

量を小さくすることができる。

【0014】次に図5に示すように、Nウェルの領域に形成したレジストパターン17をマスクとして高濃度の砒素をイオン注入して、NチャネルMOSFETのN型ソース・ドレイン領域18とコレクタコンタクト領域19を形成すると共に、エミッタ電極15及びNチャネルMOSFETのゲート電極16を高濃度のN型にドーピングする。このとき、イオン注入の飛程をシリコン窒化膜11及び熱酸化膜10よりも十分に小さくすることで、ベース領域9への砒素の注入を防止することができる。

【0015】次に図6に示すように、酸化性雰囲気中で熱処理することによって、エミッタ開口部14を介してエミッタ電極15から砒素を拡散させて、エミッタ拡散層20を形成する。このときN型高濃度不純物がドーピングされたNチャネルMOSFETのゲート電極16及びエミッタ電極15に、このN型高濃度不純物がドーピングされていないPチャネルMOSFETのゲート電極16と比べて厚い熱酸化膜21が形成される。またMOSFETのソース・ドレイン領域とコレクタコンタクト領域の酸化膜も厚くなるが、N型の高濃度不純物がドーピングされたNチャネルMOSFETのソース・ドレイン領域18及びコレクタコンタクト領域19は、これがドーピングされていないPチャネルMOSFETのソース・ドレイン形成領域と比べて厚い熱酸化膜22が形成される。また、ベース領域9にはシリコン窒化膜11が形成されているので、この領域が酸化されることはない。

【0016】次に図7に示すように、熱リン酸による処理によって、ベース領域9に形成されたシリコン窒化膜11のうち、エミッタ電極15に覆われていない露出した部分を選択的に除去した後、全面に高濃度のBF<sub>3</sub>をイオン注入して、P型外部ベース領域23とPチャネルMOSFETのP型ソース・ドレイン領域24を形成すると共に、PチャネルMOSFETのゲート電極16を高濃度のP型にドーピングする。このとき、注入されるBF<sub>3</sub>の飛程を小さくすることによって、先に酸化性雰囲気中の熱処理によって厚い熱酸化膜21、22が形成されたN型の高濃度不純物がドーピングされた領域に、BF<sub>3</sub>が注入されるのを防ぐことができる。この後は、通常の層間絶縁膜及び配線層の形成工程を経て半導体装置を完成させる。

【0017】このように本発明の製造方法においては、ベース領域9を形成してからCMOSFET及びバイポーラトランジスタを形成するまでに必要なレジストパターン形成工程は、ベース領域9に選択的にシリコン窒化膜11を形成する工程と、エミッタ開口部14を形成する工程と、ゲート電極16及びエミッタ電極15を形成する工程と、N型高濃度不純物をドーピングするための工程の4回で済み、更にエミッタ電極15とゲート電極16の不純物のドーピングが同時になされるため、高濃度不純物の導入工程が2回で済むなど、工程数を従来の製造方法と比べて削減することができる。加えて本発明の方法においては、外

部ベース領域23がエミッタ電極15に対して自己整合的に形成されるので、ベース抵抗の小さい高性能なバイポーラトランジスタを形成することができる。

【0018】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、ベース抵抗が小さく多結晶シリコンよりなるエミッタ電極を有するバイポーラトランジスタと、P型多結晶シリコンよりなるPチャネルMOSFETのゲート電極を有するCMOSFETを含む高性能なBI-CMOS半導体装置を、少ない工程数で容易に製造することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法の一実施例を説明するための製造工程を示す図である。

【図2】図1に示した製造工程に続く製造工程を示す図である。

【図3】図2に示した製造工程に続く製造工程を示す図である。

【図4】図3に示した製造工程に続く製造工程を示す図である。

【図5】図4に示した製造工程に続く製造工程を示す図である。

【図6】図5に示した製造工程に続く製造工程を示す図である。

【図7】図6に示した製造工程に続く製造工程を示す図である。

【図8】従来の半導体装置の製造方法の一例を説明するための製造工程を示す図である。

【図9】図8に示した製造工程に続く製造工程を示す図である。

【図10】図9に示した製造工程に続く製造工程を示す図である。

【図11】図10に示した製造工程に続く製造工程を示す図である。

【図12】図11に示した製造工程に続く製造工程を示す図である。

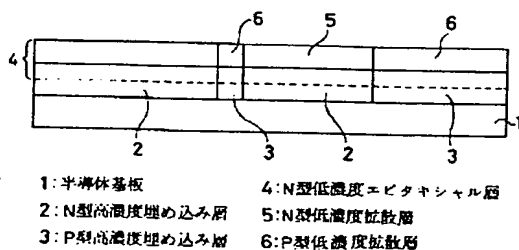
【図13】図12に示した製造工程に続く製造工程を示す図である。

【符号の説明】

- 1 半導体基板
- 2 N型高濃度埋め込み層
- 3 P型高濃度埋め込み層
- 4 N型低濃度エピタキシャル層
- 5 N型低濃度拡散層
- 6 P型低濃度拡散層
- 7 N型高濃度コレクタ領域
- 8 フィールド酸化膜
- 9 P型ベース領域
- 10 熱酸化膜
- 11 シリコン窒化膜

- 7
- 12 ゲート酸化膜
  - 13 薄い第1の多結晶シリコン膜
  - 14 エミッタ開口部
  - 15 エミッタ電極
  - 16 ゲート電極
  - 17 レジストパターン
  - 18 N型ソース・ドレイン領域

【図1】

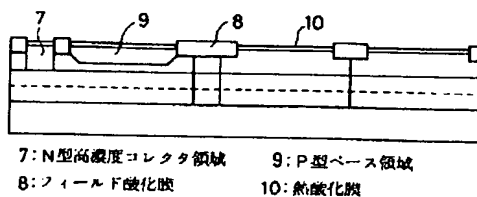


(5)

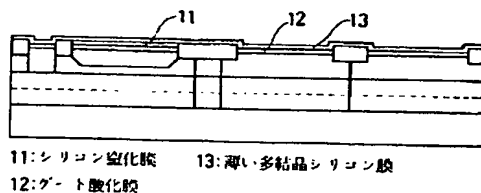
特開平5-6961

- 8
- 19 コレクタコンタクト領域
  - 20 エミッタ拡散層
  - 21 熱酸化膜
  - 22 熱酸化膜
  - 23 P型外部ベース領域
  - 24 P型ソース・ドレイン領域

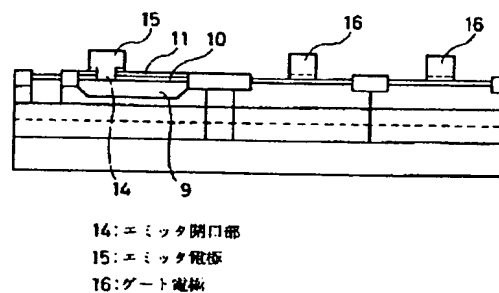
【図2】



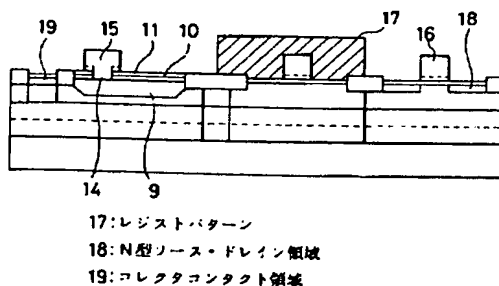
【図3】



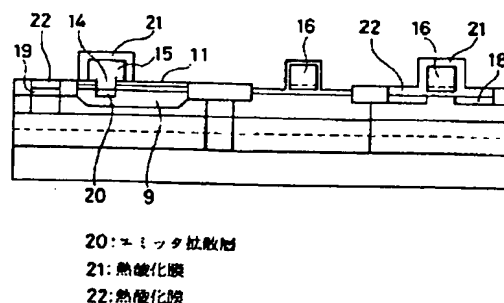
【図4】



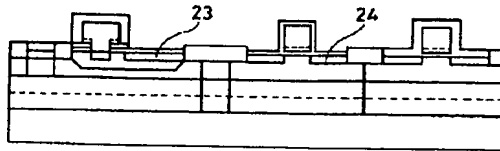
【図5】



【図6】

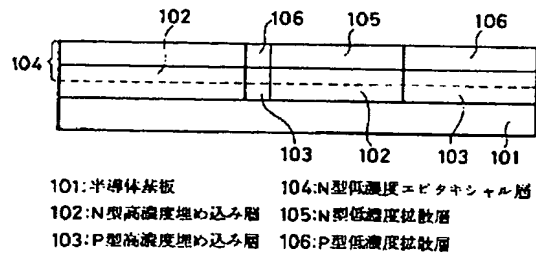


【図7】



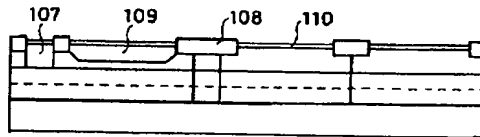
23:P型外部ベース領域  
24:P型ソース・ドレイン領域

【図8】



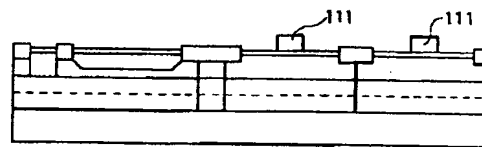
101:半導体基板  
102:N型高濃度埋め込み層  
103:P型高濃度埋め込み層  
104:N型低濃度エピタキシャル層  
105:N型低濃度拡散層  
106:P型低濃度拡散層

【図9】



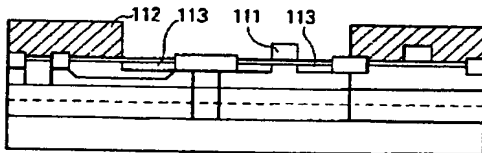
107:N型高濃度コレクタ領域  
108:フィールド酸化膜  
109:P型ベース領域  
110:ゲート酸化膜

【図10】



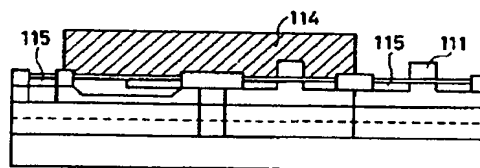
111:ゲート電極

【図11】



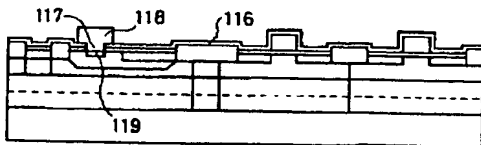
112:レジストパターン  
113:高濃度P型拡散層

【図12】



114:レジストパターン  
115:高濃度N型拡散層

【図13】



116:シリコン酸化膜  
117:エミッタ開口部  
118:エミッタ電極  
119:高濃度N型拡散層